



MOS Electronic GmbH

Hermann-Löns-Straße 40-44
D-75389 Neuweiler

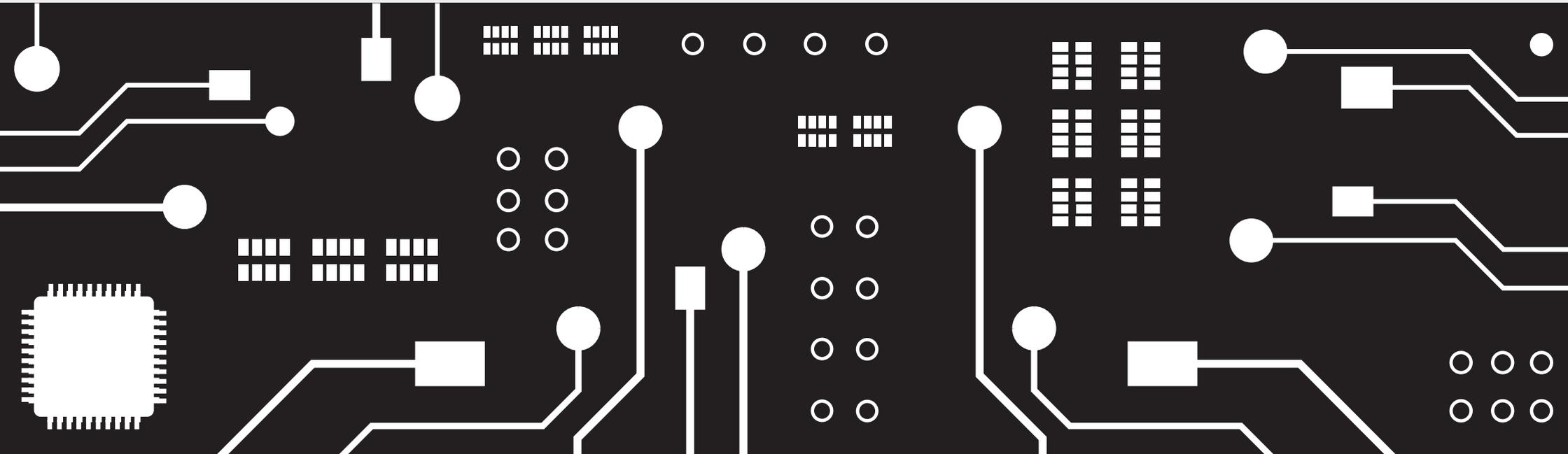
Tel: (+49) 0 70 55 - 92 99 -0

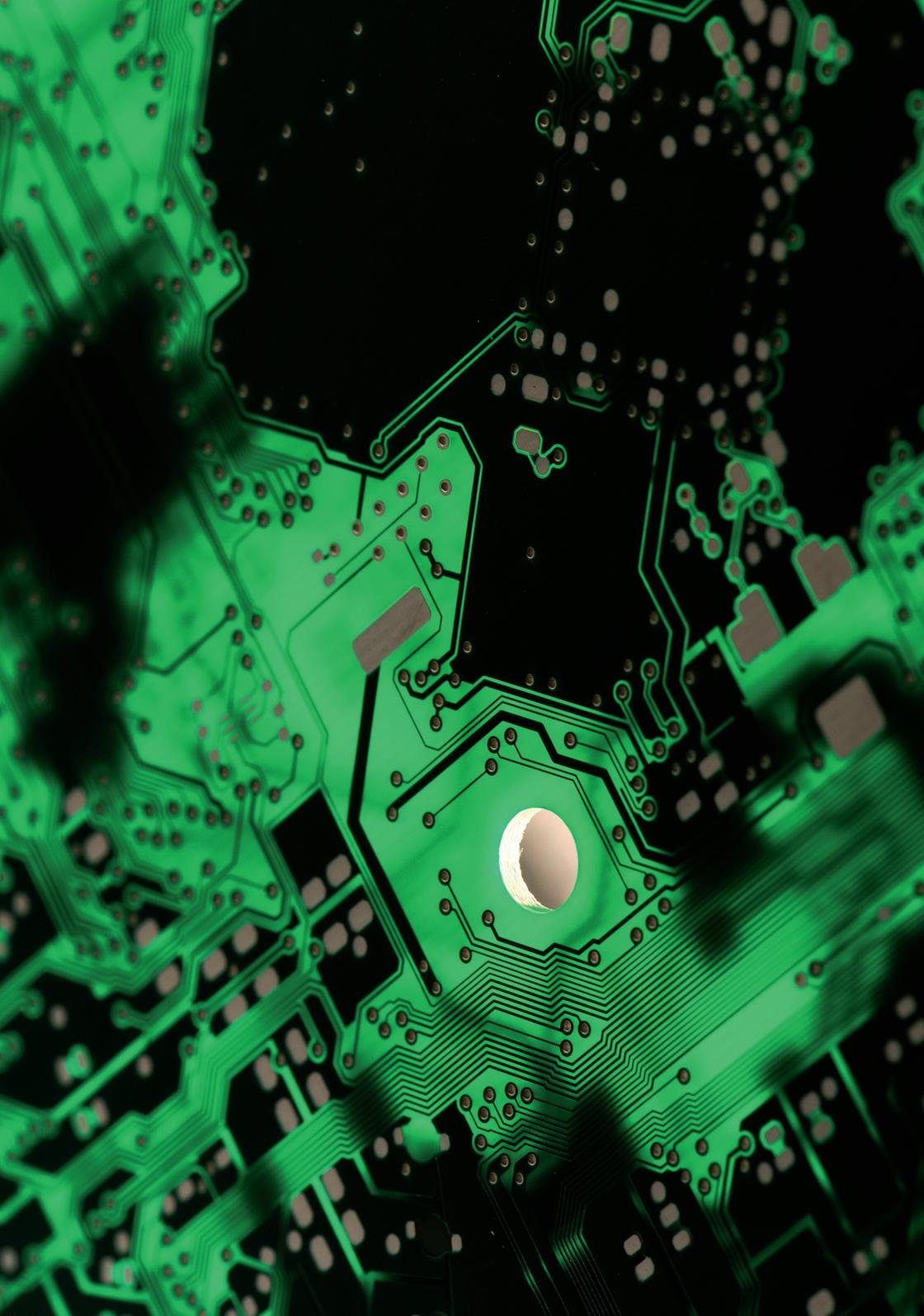
Fax: (+49) 0 70 55 - 15 81

Mail: info@mos-electronic.de

URL: www.mos-electronic.de

TECHNOLOGIE
INFORMATION





Inhalt:

Über <i>MOS</i>	2
PoolPlus.....	3
Ausführungen.....	4
Service und Beratung / Formate.....	5
Basismaterialien.....	6 - 7
Lagenaufbauten und Impedanzprüfung.....	8 - 11
Design Rules: Außenlagen.....	12
Design Rules: Innenlagen.....	13
Design Rules: Bohrungen und Microvias.....	14
Design Rules: HDI / SBU Design.....	15
Design Rules: Lacke und Siebdrucke.....	16
Design Rules: Mechanik.....	17
Lötstopplacke.....	18
Lacke / Drucke / Beschichtungen.....	19
Endoberflächen / Veredelungen.....	20 - 21
Via Hole Plugging.....	22
Copper Hole Filling.....	23
Kontakte.....	24 - 25

Über MOS

Die MOS Electronic kann bei der Fertigung von gedruckten Schaltungen auf eine Erfahrung von fast drei Jahrzehnten zurückgreifen. Durch die Kooperation mit unseren Verbundpartnern in Fernost sind wir in der Lage, alle Arten von Leiterplatten in jeder Stückzahl anzubieten.

Vom Prototypen bis zur Großserie -

» **Alles aus einer Hand** «

Bei der Entwicklung von Prototypen werden oft Anforderungen formuliert, welche erst lange Zeit später bei Serienfertigung zum Tragen kommen. Unser Anspruch „immer einen Schritt voraus“ garantiert Ihren Projekten heute schon Technologie von morgen. Nicht umsonst lautet unser Grundsatz:

» **Leiterplattentechnik für die Zukunft** «

Der Qualitätsstandard unserer Produkte ist ein fester Bestandteil unserer Unternehmensphilosophie. Bereits seit Unternehmensgründung ist unser Ziel, die Fertigung auf höchstem technologischen Stand zu halten. Ständige Neuinvestitionen und Produktverbesserungen sind ein wesentlicher Bestandteil unseres Erfolges.

Permanente Weiterentwicklung und ständige Investitionen in neue Technologien sichern uns einen Spitzenplatz am Leiterplattenstandort Deutschland. Unser hohes Maß an Kompetenz und unsere langjährige Erfahrung als Leiterplattenhersteller ermöglichen eine sehr effektive und erfolgreiche Zusammenarbeit mit unseren Verbundpartnern für mittlere und große Serien in Fernost. Für unsere meist mittelständischen Kunden ergibt sich dadurch eine einzigartige Ressource in Sachen Leiterplatte.



Der Eildienst

„Der Eildienst fängt beim Angebot an!“

- **Produktion ab einem Arbeitstag**
 - bei HDI und Starrflex Lieferzeit nach Absprache
- **Produktion in Serienqualität**
 - gleiche Prozesse und Maschinen
 - gleiche Datenbearbeitung und Archivierung
 - Übertragbarkeit auf Serie
- **Keine Einschränkung bei LP-Ausführung**
- **Unsere große Stärke: Notfallproduktion auch für größere Serien**
- **Flexibilität ist für uns selbstverständlich - für wichtige Aufträge auch am Wochenende...**



Sie benötigen preiswerte Muster in Serienqualität und kürzester Zeit? Testen Sie unseren **PoolPlus**-Service.

2 LAGEN 222 € » 2 BIS 4 AT

4 LAGEN 444 € » 4 BIS 6 AT

6 LAGEN 666 € » 6 BIS 8 AT

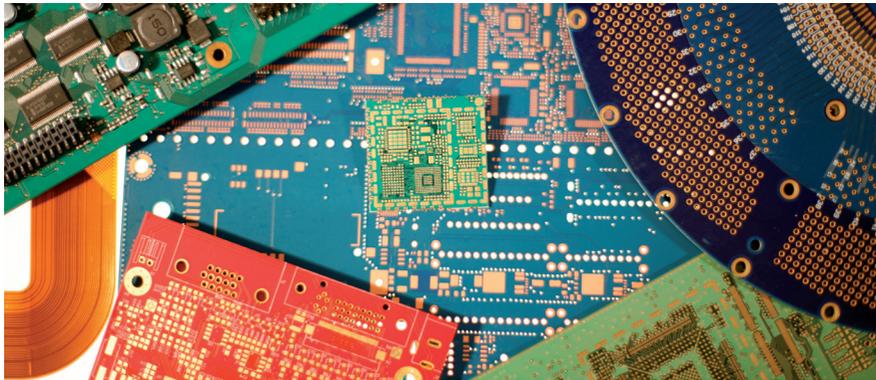
8 LAGEN 888 € » 8 BIS 10 AT



Interesse geweckt? Fordern Sie noch heute unseren **PoolPlus**-Flyer an.
Email: poolplus@mos-electronic.de oder telefonisch bei Herrn Jens Rosen unter Tel. (+49) 0 70 55 - 92 99 -33.

Ausführungen

- Einseitig bis 28 Lagen (Dicke 6 mm max.)
- HDI- und SBU-Multilayer (4 + Kern + 4 max.)
- Blind, Buried und Microvias
- Stacked Vias
- Hochfrequenz- und impedanzkontrollierte Leiterplatten
- Halogenfreie Leiterplatten
- Dickkupfer bis 400µm
- Einpresstechnik
- Aluminiumbasierte Leiterplatten
- Flex / Starrflex (auch HDI)
- Hole-Plugging und Copper-Hole-Filling
- Verschiedenfarbige Lötstopplacke
- RoHS-Konformität und UL-Listung
- Sonderanwendungen nach Kundenwunsch



Unsere Produkte werden nach IPC A600G Klasse 2 (alternativ Klasse 3) gefertigt.

Service und Beratung

- Technologische Beratung
- Impedanzberechnungen und Lagenaufbauvorschläge
- Unterstützung bei der Entwicklung neuer Produkte
- Erarbeitung von Alternativlösungen und Weiterentwicklung zur Produktstabilität
- Nutzung von Synergieeffekten
- DFM (Design For Manufacturing)

Formate

- Standardformat für einseitige und doppelseitige Leiterplatten:
580 x 427 mm² (nutzbare Fläche)
- Standardformat für Multilayer:
570 x 417 mm² (nutzbare Fläche)
- Standardformat für SBU-Multilayer:
540 x 370 mm² (nutzbare Fläche)
- Sondergrößen auf Anfrage

Basismaterialien

Unterschiedliche Anwendungen erfordern unterschiedliche Basismaterialien. Im Hause MOS werden folgende Materialtypen verwendet:

- FR4 bis TG 170
- Materialien für Hochfrequenzanwendungen (z.B. Rogers)
- Halogenfreie Materialien
- Polyimid
- Teflon
- Aluminiumbasierte Materialien
- Sondermaterialien nach Kundenwunsch

Basismaterialien werden durch thermische, elektrische und mechanische Eigenschaften klassifiziert:

Thermische Eigenschaften:

- Glasübergangstemperatur (TG)
- Delaminationszeit (bei 260°C und 288°C)
- Ausdehnungsverhalten (CTE in x, y, und z)
- Beständigkeit bei Zyklentests

Elektrische Eigenschaften:

- Dielektrizitätskonstante (Er)
- Kriechstromfestigkeit (CTI)
- CAF-Resistenz
- Oberflächenwiderstand
- Verlustwinkel
- Spannungsfestigkeit

Mechanische Eigenschaften:

- Elastizität
- Biegefestigkeit
- Elastizität

 Sie haben Fragen zum Thema Basismaterial? Unser **Technologie**-Team berät Sie gerne (siehe Seite 24/25).

Im Folgenden möchten wir Ihnen die in unserem Hause verwendeten Standardmaterialien vorstellen. Bitte beachten Sie: Das Basismaterial FR-4-86 UV Block (*Nan Ya*) verwenden wir nur für einseitige und zweiseitige Leiterplatten. Alle zur Anwendung kommenden Standardmaterialien sind für bleifreie Lötprozesse geeignet.

Basismaterial (FR4)	FR-4-86 UV Block	IS400	Nan Ya NP155F
Füllstoff	nicht gefüllt	anorganischer Füllstoff	anorganischer Füllstoff
Glasübergangstemperatur (TG)	140°C	150°C	150°C
Delaminationszeit bei 260°C	15-25 min.	> 60 min.	> 60 min.
Delaminationszeit bei 288°C	2-5 min.	> 5 min.	> 20 min.
Thermische Zersetzung (TD)	ca. 320°C	ca. 330°C	ca. 350°C
Ausdehnung in Z-Richtung (vor TG)	50 - 70 ppm/K	40-45 ppm/K	40-60 ppm/K
Dielektrizitätskonstante (Er) bei 1MHz	4,7	4,8 - 5,1	4,45 - 4,7
Verlustfaktor bei 1MHz	0,02	0,013 - 0,018	0,019 - 0,02
CAF-Resistenz	ja	ja	ja
RoHS-konform	ja	ja	ja
UL-Listung	ja	ja	ja



isola



Nan Ya-Materialien erfreuen sich auch auf dem asiatischen Markt großer Beliebtheit. Bei Serienfertigung im MOS-Verbund kann auf diese Materialien zurückgegriffen werden.

Lagenaufbauten

Die Eigenschaften einer Leiterplatte werden nicht zuletzt durch ihren Lagenaufbau bestimmt. Der Lagenaufbau nimmt bspw. Einfluss auf die Impedanzen. Im Folgenden sind die im Hause MOS verwendeten Prepreg-Typen aufgelistet:

- 106
- 1080
- 2116
- 7628



Die min. Kerndicke beträgt $75\mu\text{m}$. Es sind Gesamtdicken von 0,2 mm bis 6,0 mm möglich.



Um möglichen Verwindungen und Verwölbungen entgegenzuwirken empfehlen wir die Verwendung von symmetrischen Lagenaufbauten.

Impedanzprüfung

Die an der Leiterplatte anliegenden Impedanzen werden hauptsächlich durch das Leiterplattenlayout, den Lagenaufbau sowie die Dielektrizitätskonstante der verwendeten Materialien bestimmt. Mit Hilfe eines Kalkulationssystems (POLAR) werden die Impedanzdefinitionen des Kunden generell auf ihre Machbarkeit in Abhängigkeit zu den übrigen Rahmenbedingungen geprüft und ggf. Lösungsvorschläge erarbeitet. Die Toleranzen werden üblicherweise mit einer Toleranz von $\pm 10\%$ geprüft. Auf Anfrage sind jedoch auch Toleranzen bis zu $\pm 5\%$ möglich.



Ein Faktor, der zu unerwünschten Abweichungen der Impedanzen führen kann, sind aufmetallisierte Kupferschichten (z.B. auf den Außenlagen), da diese Unregelmäßigkeiten bezüglich ihrer Schichtdicke aufweisen können. Wir empfehlen, impedanzgeführte Leiterbahnen auf nicht aufzumetallisierende Innenlagen unterzubringen.



Sie haben Fragen zum Thema Lagenaufbauten oder Impedanzprüfung? Unser **Technologie**-Team berät Sie gerne (siehe Seite 24/25). Gerne erstellen wir Ihnen einen individuellen Lagenaufbauvorschlag.

Impedanzmodelle

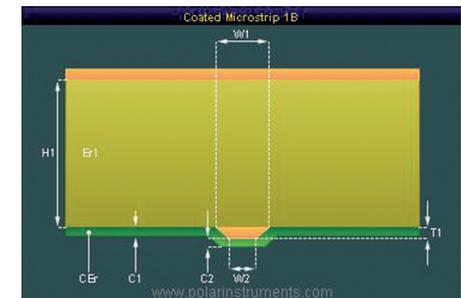
In der Praxis kommen je nach Anforderung verschiedene Impedanzberechnungsmodelle zur Anwendung. Im Folgenden möchten wir Ihnen vier häufig verwendete Modelle vorstellen:

Coated Microstrip:

Vereinzelt impedanzgeführte Leiterbahnen auf den Außenlagen.

Ausschlaggebende Faktoren:

- Abstand zur Bezugsfläche ($H1$)
- Leiterbahnbreite ($W1$)
- Dielektrizitätskonstante (ϵ_r) der verwendeten Materialien

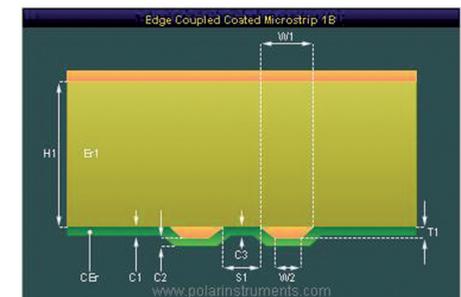


Edge Coupled Coated Microstrip:

Paarweise impedanzgeführte Leiterbahnen auf den Außenlagen.

Ausschlaggebende Faktoren:

- Abstand zur Bezugsfläche ($H1$)
- Leiterbahnbreite ($W1$)
- Leiterbahnabstand ($C3$)
- Dielektrizitätskonstante (ϵ_r) der verwendeten Materialien

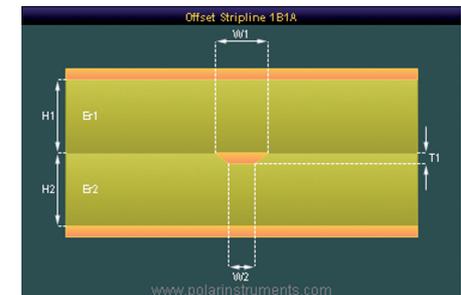


Offset Stripline

Vereinzelt impedanzgeführte Leiterbahnen auf den Innenlagen mit zwei Bezugsflächen.

Ausschlaggebende Faktoren:

- Abstand zu den Bezugsflächen ($H1$ und $H2$)
- Leiterbahnbreiten ($W1$ und $W2$)
- Dielektrizitätskonstante (ϵ_r) der verwendeten Materialien

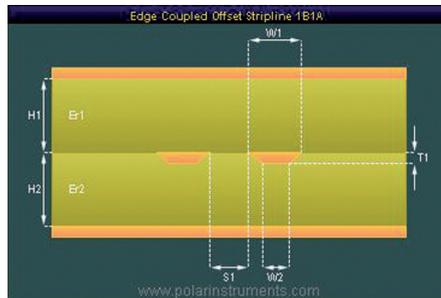


Edge Coupled Offset Stripline

Paarweise impedanzgeführte Leiterbahnen auf den Innenlagen mit zwei Bezugsflächen.

Ausschlaggebende Faktoren:

- Abstand zu den Bezugsflächen (H1 und H2)
- Leiterbahnbreiten (W1 und W2)
- Leiterbahnabstand (S1)
- Dielektrizitätskonstante (Er) der verwendeten Materialien



Messung eines Impedanzsignals:



Sie haben Fragen zum Thema Lagenaufbauten oder Impedanzprüfung? Unser **Technologie**-Team berät Sie gerne (siehe Seite 24/25). Gerne erstellen wir Ihnen einen individuellen Lagenaufbauvorschlag.

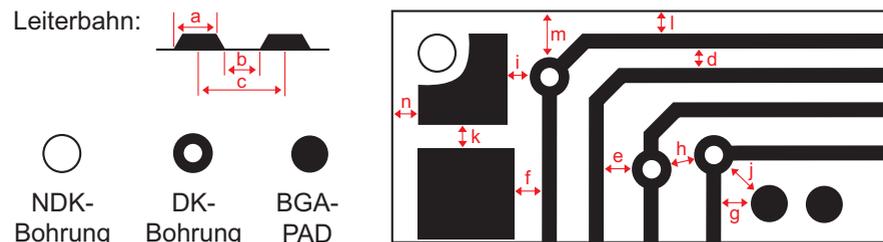
Beispiel für einen Lagenaufbau mit Impedanzgeführten Leiterbahnen

Layer	Stack up	Supplier Description	Description	Stock Number	Base Thickness	εr	Impedance ID	N1 (Notes-1)	Finish Thickness	Mask Thickness
1	Coated Microstrip 1B	SM/001	Liquid Photimageable Mask	500-001	4,000	4,000			0,025	
2	Edge Coupled Coated Microstrip 1B	FO/002	Copper Foil	100-002	0,035	1,2			0,035	
3	Offset Stripline 1B1A	IS 400	1080 MD 01	100-001	0,075	4,305			0,075	
4	Edge Coupled Offset Stripline 1B1A	FO/001	Copper Foil	100-001	0,018				0,018	
5	Offset Stripline 1B1A	IS 400	1080 MD 01	100-001	0,075	4,305			0,075	
6	Edge Coupled Offset Stripline 1B1A	IS 400	IS400	100-001	0,018	3,4			0,018	
7	Coated Microstrip 1B	IS 400	2116 MD 02	100-001	0,410	4,000			0,410	
8	Edge Coupled Coated Microstrip 1B	IS 400	7628 MD 01	100-001	0,120	4,558			0,120	
		IS 400	IS400	100-001	0,200	4,721			0,200	
		IS 400	IS400	100-001	0,018	4,000			0,018	
		IS 400	IS400	100-001	0,410	4,000			0,410	
		IS 400	IS400	100-001	0,018	5,6			0,018	
		IS 400	IS400	100-001	0,075	4,305			0,075	
		IS 400	IS400	100-001	0,075	4,305			0,075	
		IS 400	IS400	100-001	0,035	7,8			0,035	
		SM/001	Liquid Photimageable Mask	500-001	4,000				0,025	

Impedance ID	Structure Name	Trace 1 in Layer	Trace 2 in Layer	Ref. Plane 1 in Layer	Ref. Plane 2 in Layer	Lower Trace Width	Upper Trace Width	Trace Separation	Lower Ground Strip Width	Upper Ground Strip Width	Trace Offset	Ground Strip Separation	Calculated Impedance	Target Impedance	Tol. (%)
1	Coated Microstrip 1B	1	0	2	0	0,160	0,160	0,000	0,000	0,000	0,000	0,000	39,740	40,000	5,000
2	Edge Coupled Coated Microstrip 1B	1	0	2	0	0,100	0,100	0,500	0,000	0,000	0,000	0,000	97,970	100,000	5,000
3	Offset Stripline 1B1A	3	0	2	4	0,120	0,120	0,000	0,000	0,000	0,000	0,000	39,180	40,000	5,000
4	Edge Coupled Offset Stripline 1B1A	3	0	2	4	0,075	0,075	0,600	0,000	0,000	0,000	0,000	97,160	100,000	5,000
5	Offset Stripline 1B1A	6	0	5	7	0,100	0,100	0,000	0,000	0,000	0,000	0,000	42,870	40,000	5,000
6	Edge Coupled Offset Stripline 1B1A	6	0	5	7	0,100	0,100	0,350	0,000	0,000	0,000	0,000	84,400	100,000	5,000
7	Coated Microstrip 1B	8	0	7	0	0,130	0,130	0,000	0,000	0,000	0,000	0,000	44,130	40,000	5,000
8	Edge Coupled Coated Microstrip 1B	8	0	7	0	0,100	0,100	0,500	0,000	0,000	0,000	0,000	97,970	100,000	5,000

Design Rules: Außenlagen

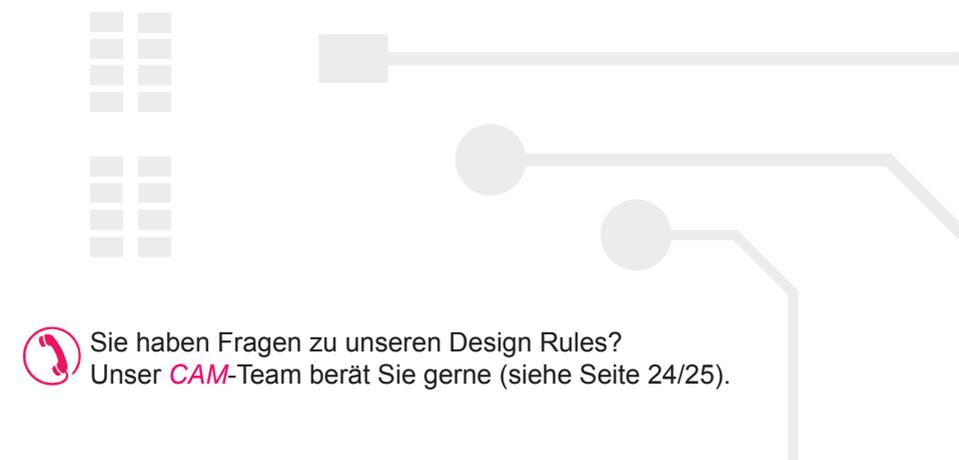
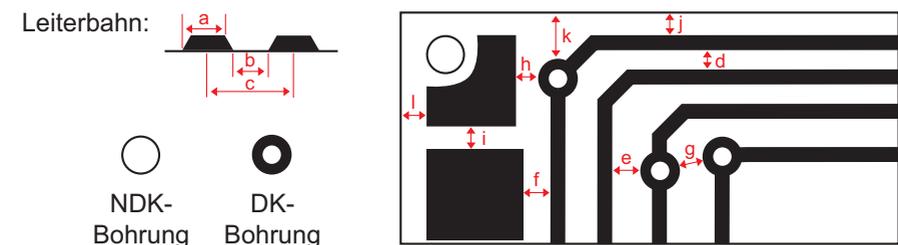
	Außenlagen		Kommentar
	Min. Kupferdicke (Basis- + galv. Kupfer)	32µm	
	Max. Kupferdicke (Basis- + galv. Kupfer)	400µm	
	Toleranz Bahnbreite	+/-10%	
	Min. Lochkupfer	20µm / 25µm	Weitere auf Anfrage
	BGA-Pad (Durchmesser)	0,3mm	
	BGA-Pad Pitch (eine Bahn zw. Pad/Pad)	0,5mm	
	BGA-Pad Pitch (zwei Bahnen zw. Pad/Pad)	0,65mm	
a	Min. Bahnbreite	70µm	Muster bis 50µm
b	Min. Bahnabstand	70µm	Muster bis 50µm
c	Bahn Pitch	140µm	Muster bis 100µm
d	Abstand Bahn / Bahn	70µm	Muster bis 50µm
e	Abstand Bahn / Via-Pad	70µm	Muster bis 50µm
f	Abstand Bahn / Massefläche	70µm	Muster bis 50µm
g	Abstand Bahn / BGA-Pad	70µm	Muster bis 50µm
h	Abstand Via-Pad / Via-Pad	70µm	Muster bis 50µm
i	Abstand Via-Pad / Massefläche	70µm	Muster bis 50µm
j	Abstand Via-Pad / BGA-Pad	70µm	Muster bis 50µm
k	Abstand Massefläche / Massefläche	70µm	



 Bitte beachten Sie: Die aufgeführten Design Rules sind unsere gängigen min./max. Werte (bei 18µm Basiskupfer). Mit zunehmender Kupferdicke oder Verwendung bspw. spezieller Materialien wird die Machbarkeit der angegebenen Werte eingeschränkt. Für eine endgültige Machbarkeitsbewertung ist die Prüfung der Fertigungsunterlagen erforderlich.

Design Rules: Innenlagen

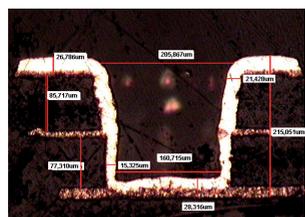
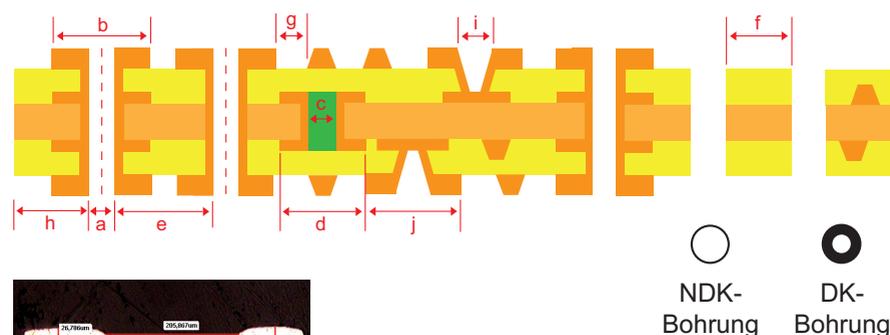
	Innenlagen		Kommentar
	Min. Kerndicke	75µm	
	Min. Kupferkaschierung	12µm	
	Max. Kupferkaschierung	210µm	
	Toleranz Bahnbreite	+/-10%	
a	Min. Bahnbreite	70µm	Muster bis 50µm
b	Min. Bahnabstand	70µm	Muster bis 50µm
c	Bahn Pitch	140µm	Muster bis 100µm
d	Abstand Bahn / Bahn	70µm	Muster bis 50µm
e	Abstand Bahn / Via-Pad	70µm	Muster bis 50µm
f	Abstand Bahn / Massefläche	70µm	Muster bis 50µm
g	Abstand Via-Pad / Via-Pad	70µm	Muster bis 50µm
h	Abstand Via-Pad / Massefläche	70µm	Muster bis 50µm
i	Abstand Massefläche / Massefläche	70µm	Muster bis 50µm



 Sie haben Fragen zu unseren Design Rules?
Unser CAM-Team berät Sie gerne (siehe Seite 24/25).

Design Rules: Bohrungen und Microvias

	Bohrungen (Laser und mechanisch)	Machbarkeit
a	Min. Lochdurchmesser (dk)	Bohr-Ø 0,2mm / End-Ø 0,15mm
b	Min. Via-Pad (dk)	Bohr-Ø +0,25mm / End-Ø +0,1mm
c	Min. Lochdurchmesser Buried Via (dk)	Bohr-Ø 0,2mm / End-Ø 0,15mm
d	Min. Via-Pad bei Buried Vias (dk)	Bohr-Ø +0,25mm / End-Ø +0,1mm
e	Min. Abstand Via / Via (dk)	0,30mm
f	Min. Abstand Loch / Loch (ndk)	0,15mm
g	Min. Abstand Via (dk) / Leiterbild	0,20mm
h	Min. Abstand Via (dk) / LP-Kante	0,30mm
h	Min. Abstand Loch (ndk) / LP-Kante	0,30mm
i	Min. Durchmesser Microvia (Lage 1-2)	Bohr-Ø 0,1mm / End-Ø 0,075mm
j	Mind Via-Pad Microvia (Lage 1-2)	Bohr-Ø +0,2mm / End-Ø +0,1mm

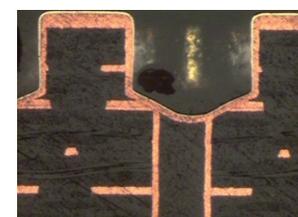
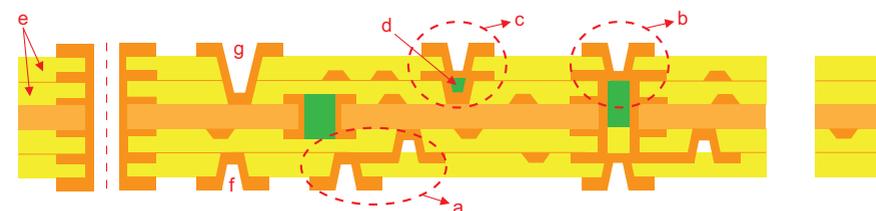


Ansicht eines
Schliffbildes

 Bitte beachten Sie: Die aufgeführten Design Rules sind unsere gängigen min./max. Werte (bei 18µm Basiskupfer). Mit zunehmender Kupferdicke oder Verwendung bspw. spezieller Materialien wird die Machbarkeit der angegebenen Werte eingeschränkt. Für eine endgültige Machbarkeitsbewertung ist die Prüfung der Fertigungsunterlagen erforderlich.

Design Rules: HDI / SBU Design

	HDI / SBU Design	Machbarkeit
	Max. sequenzielle Aufbauten	4 + Kern + 4
	Min. Prepregstärke für sequen. Aufbau	PP106 (ca. 50µm)
	Min. Durchmesser Microvia	Bohr-Ø 0,1mm / End-Ø 0,075mm
	Max. Aspect Ratio Microvia	1:0,5
a	Innenliegende Microvias	ja
b	Stacked Via auf Durchgangsbohrung	ja
c	Stacked Via auf Microvia	ja
d	Copper Hole Filling für Microvias	ja
d	Via Hole Plugging für Microvias	ja
e	PID	ja
f	Microvia Lage 1-2 (PP2116 / ~100µm max.)	ja
g	Microvia Lage 1-3 (PP1080 / ~75µm max.)	ja

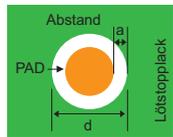


Ansicht eines
Schliffbildes

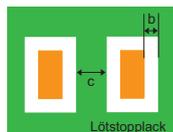
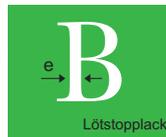
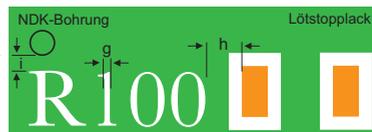
 Sie haben Fragen zu unseren Design Rules?
Unser CAM-Team berät Sie gerne (siehe Seite 24/25).

Design Rules: Lacke und Siebdrucke

	Lötstopplack / Bestückungsdruck	Machbarkeit
	Min. Dicke Lötstopplack	25µm
	Min. Kantenabdeckung Lötstopplack	8µm
a	Min. Öffnung Lötstopplack / BGA-Pad	50µm
b	Min. Öffnung Lötstopplack / SMD-Pad	50µm
c	Min. Reststeg Lötstopplack	75µm
d	Min. Öffnung Lötstopplackmaske	Pad + 100µm
e	Min. Strichstärke für Schrift im LSL	100µm
g	Min. Strichstärke Bestückungsdruck	100µm
h	Min. Registriertoleranz BD / Leiterbild	100µm
i	Min. Registriertoleranz BD / NDK-Bohrung	125µm



Registrierung

Schriftstile
in LSCReststeg
LötstopplackBestückungs-
druck

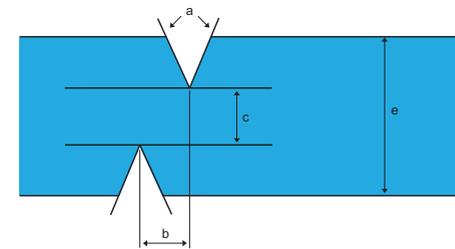
Registriertoleranzen	Standard	Grenzwerte
DK-Bohrung zu Leiterbild	+/-100µm	+/-50µm
NDK-Bohrung zu Leiterbild	+/-150µm	+/-100µm
Fräsen zu Leiterbild	+/-150µm	+/-100µm
Lötstopplack zu Leiterbild	+/-100µm	+/-50µm
Bestückungsdruck zu Leiterbild	+/-200µm	+/-100µm
Siebdrucke zu Leiterbild	+/-200µm	+/-150µm



Bitte beachten Sie: Die aufgeführten Design Rules sind unsere gängigen min./max. Werte (bei 18µm Basiskupfer). Mit zunehmender Kupferdicke oder Verwendung bspw. spezieller Materialien wird die Machbarkeit der angegebenen Werte eingeschränkt. Für eine endgültige Machbarkeitsbewertung ist die Prüfung der Fertigungsunterlagen erforderlich.

Design Rules: Mechanik

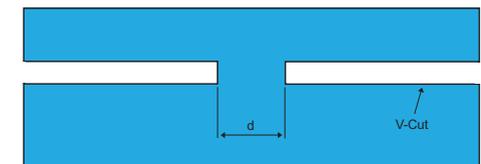
	Mechanische Bearbeitung	Machbarkeit
	Min. Toleranz Bohrlochdurchmesser	+/-25µm
	Min. Toleranz Endlochdurchmesser	+/-50µm
	Min. Toleranz Fräsen	+/-50µm
a	Ritzwinkel (V-Cut)	30°
	Registriertoleranz V-Cut / Leiterbild	+/-100µm
b	Max. Pos.-Toleranz obere / untere Ritzung	+/-50µm
c	Min. Tol. Reststeg bei LP-Dicke bis 1,2mm	+0,10/-0,05mm
c	Min. Tol. Reststeg bei LP-Dicke ab 1,2mm	+0,15/-0,05mm
d	Min. Abstand Sprungritzen (mit Stichel)	0,3mm
d	Min. Abstand Sprungritzen (mit Ritzfräser)	15mm
	Auslauf Ritzfräser (Abhängig von Ritztiefe)	~7mm
e	Toleranz LP Dicke	i.d.R. +/-10%



Ritzen / V-Cut



Sprungritze



Sie haben Fragen zu unseren Design Rules?
Unser CAM-Team berät Sie gerne (siehe Seite 24/25).

Lötstopplacke

Standardmäßig verwenden wir die Lötstopplacke *Peters Elpemer 2467* und *Carapace EMP110* von *Electra*. Die Lacke werden in einem Sprayverfahren aufgebracht. Verschiedene Farben sind möglich, es können auch mehrfarbige Leiterplatten hergestellt werden. Die Lacke können wie folgt charakterisiert werden:

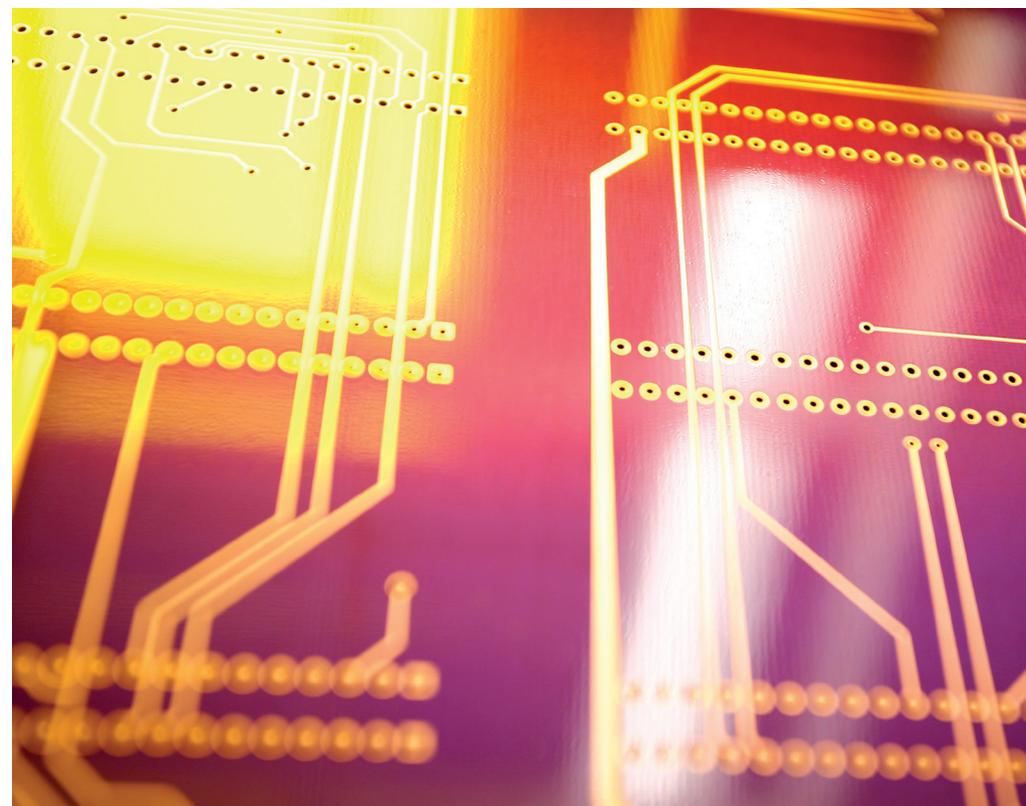
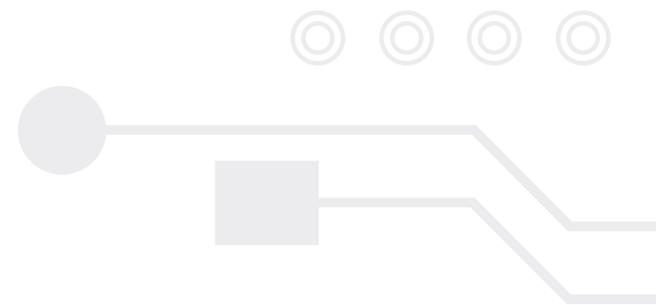
- Fotostrukturierbar
- Höchste Auflösung (bis zu 50µm)
- Wässrig-alkalisch entwickelbar
- TWT-Zyklusbeständigkeit (Temperaturwechseltest)
- Sehr gute Beständigkeit in galvanischen und chemischen Bädern
- Kompatibel mit bleifreien Lötprozessen
- Hervorragende Kantenabdeckung
- RoHS-Konformität und UL-Listung
- Erfüllt IPC-SM-840 C, Klasse H und T



Lötstopplack	Elpemer 2467	EMP110
Temperaturschock	Klasse H und T	Klasse H
Durchschlagfestigkeit	160 - 190 kV/mm	134 kV/mm
Dielektrizitätskonstante (Er) bei 1MHz	3,7	4

Lacke / Drucke / Beschichtungen

- Verschiedenfarbige Lötstopplacke (Standard: *Peters Elpemer 2467* / *Electra Carapace EMP110*)
- Bestückungsdruck
- Servicedrucke
- Lötabdecklack
- Karbondruck
- Via-Fülldruck
- Flux-Stop-Lack
- Silberleitlack
- Heatsink-Lack



 Sie haben Fragen zum Thema Lötstopplack? Unser **Technologie**-Team berät Sie gerne (siehe Seite 24/25).

Endoberflächen / Veredelungen

HAL bleifrei (Heißluftverzinnung)

- Lotbad: HAL-Sn99Ag+
- Schichtdicke 1-30µm
- Gute Löteigenschaften
- Lange Lagerfähigkeit (>12 Monate)
- Nicht geeignet für feinste Strukturen
- Keine Bondfähigkeit
- Schlechte Planarität

Chemisch Zinn

- Prozess: Atotech (Standard) und Ormecon möglich
- Min. Schichtdicke 1,0µm
- Gute Löteigenschaften
- Planare Oberfläche
- Eingegengtes Prozessfenster bei Lötprozessen
- Eingeschränkte Lagerfähigkeit

Chemisch Silber

- Schichtdicke 0,15-0,3µm
- Gute Löteigenschaften
- Bondfähig
- Planare Oberfläche
- Niedrige Verarbeitungstemperatur (ca. 50°C)
- Luftdichte Lagerung erforderlich

Chemisch Nickel/Gold

- Schichtdicke 3-5µm Ni, 0,05-0,2µm Au (Löten und US Al-Drahtbonden)
- Schichtdicke 3-5µm Ni, 0,3-0,7µm Au (Löten und TS Au-Golddrahtbonden)
- Gute Lötfähigkeit und Bondeigenschaften
- Gute Lagerfähigkeit
- Hohe Prozesstemperaturen

Chemisch Nickel/Palladium/Gold

- Schichtdicke Palladium 0,1-0,5µm
- Löt- und bondfähig
- TS / US drahtbondfähig
- Großes Prozessfenster
- Gute Lagerfähigkeit
- Planare Oberfläche
- Hohe Kosten

Organische Kupferpassivierung (OSP/Entek)

- Hohe Planarität
- Gute Lagerfähigkeit
- Kostengünstig
- Hohe Prozesstemperaturen
- Nicht Bondfähig

HAL bleihaltig

- Schichtdicke 1-30µm
- Gute Löteigenschaften
- Niedrige Prozesstemperaturen
- Gute Lagerfähigkeit
- Nicht geeignet für feinste Strukturen
- Nicht bondfähig
- Keine RoHS-Konformität
- Schlechte Planarität

Weitere Oberflächen:

- Galvanisch Gold (z.B. Steckergold)
- Galvanisch Nickel
- Galvanisch Silber
- Lötacke
- Reduktivgold



Sie haben Fragen zum Thema Oberflächen?
Unser **Technologie**-Team berät Sie gerne (siehe Seite 24/25).

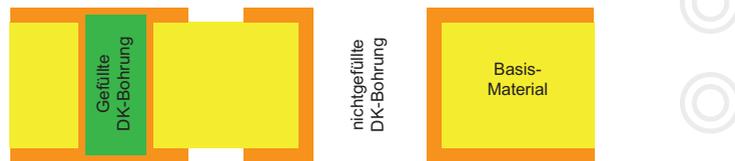
Via Hole Plugging

Aufgrund immer höherer Verbindungsdichte stellt das sogenannte Via Hole Plugging einen Schlüsselprozess in der SBU-Technologie dar. Es können sowohl Sacklochbohrungen als auch Durchgangsbohrungen luftblasenfrei verschlossen werden (auch sequentiell / partiell). Optional können die verschlossenen Bohrungen übermetallisiert werden. Es sind Lochdurchmesser von 0,15 mm - 10 mm möglich (Aspect Ratio > 1:8).

Anwendungen:

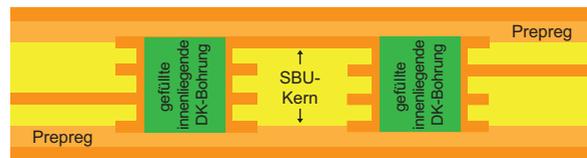
Pluggen und Übermetallisieren der außenliegenden Durchkontaktierungen (Via-In-Pad-Technologie)

Diese Anwendung ermöglicht, Vias direkt auf einem Pad zu platzieren. Durch das Pluggen werden bspw. Luft einschüsse verhindert. Auch für Sacklochbohrungen anwendbar (alternativ: Copper Hole Filling). Kupferstärke in der Hülse: 15µm min. (Standard). Kupferdeckel: 10µm min. (Standard, ggf. muss die Basiskupferstärke reduziert werden).



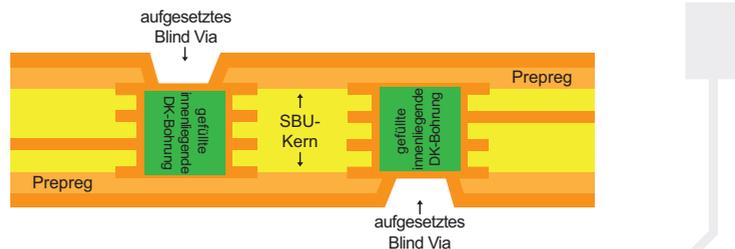
Pluggen von innenliegenden Bohrungen (Buried Vias)

Ungefüllte innenliegende Vias können bspw. Einsenkungen auf den Außenlagen oder Luft einschüsse verursachen. Dies kann durch Pluggen der Buried Vias verhindert werden.



Pluggen und Übermetallisieren der innenliegenden Bohrungen (Buried Vias)

Durch die Metallisierung können Blind Vias „aufgesetzt“ werden (Stacked Vias).



Für das Via Hole Plugging wird eine weiße Plugging-Paste aus dem Hause Peters verwendet (PP 2795). Die Eigenschaften sind wie folgt:

- Gute Haftung zwischen Kupfer und Paste auch unter Temperatureinflüssen
- Gute Haftung von Kupfer, Dielektrika und Fotoresist
- Keine Luft einschüsse in der Paste
- TG > 140°C
- CTE < 50 ppm (unterhalb TG)
- Kein Schrumpfverhalten beim Härten
- Lötbadbeständigkeit nach IPC-SM-840 C
- UL-Listung, RoHS-Konformität

Copper Hole Filling

Neben dem Via Hole Plugging bieten wir kupfergefüllte Blind Vias an. Copper Hole Filling ist für Lochdurchmesser von 70µ bis 150µm (Microvias, Aspect Ratio 1:1 max.) möglich. Vorteile gegenüber dem Via Hole Plugging sind:

- Höhere Stabilität
- Keine mechanische Beanspruchung der Oberfläche (Kein Schleifprozess)
- Kupferschicht in der Hülse > 25µm, da lediglich ein Metallisierungsprozess notwendig
- Höherer TG (TG ist abhängig vom verwendeten Basismaterial)



Sie haben Fragen zum Thema Via Hole Plugging oder Copper Hole Filling? Unser **Technologie**-Team berät Sie gerne (siehe Seite 24/25).

Geschäftsleitung:



Herr Horst Schmalstieg
Geschäftsführer
Tel: (+49) 0 70 55 - 92 99 -60
horst.schmalstieg@mos-electronic.de



Frau Margrit Schmalstieg
Geschäftsführerin
Tel: (+49) 0 70 55 - 92 99 -19
margrit.schmalstieg@mos-electronic.de



Herr Reinhard Rosen
Geschäftsführer
Tel: (+49) 0 70 55 - 92 99 -20
reinhard.rosen@mos-electronic.de



Herr Jürgen Bauer
Prokurist
Tel: (+49) 0 70 55 - 92 99 -10
bauer@mos-electronic.de

Vertrieb:



Herr Jens Rosen
Vertriebsleitung
Tel: (+49) 0 70 55 - 92 99 -33
jr@mos-electronic.de



Frau Gaby Chambers
Support / Logistik Handelsware
Tel: (+49) 0 70 55 - 92 99 -34
gbc@mos-electronic.de

Technologische Beratung / Fertigungsleitung:



Herr Michael Klingler
Fertigung / Technologie
Tel: (+49) 0 70 55 - 92 99 -66
michael.klingler@mos-electronic.de



Herr Matthias Klingler
Fertigung / Technologie
Tel: (+49) 0 70 55 - 92 99 -55
matthias.klingler@mos-electronic.de

Arbeitsvorbereitung:



Frau Gabi Walz
Arbeitsvorbereitung
Tel: (+49) 0 70 55 - 92 99 -35
av@mos-electronic.de



Herr Klaus Holdermann
CAM / Daten
Tel: (+49) 0 70 55 - 92 99 -38
cam@mos-electronic.de

Qualitätssicherung / Buchhaltung / Einkauf:



Frau Sibylle Klingler
Qualitätssicherung
Tel: (+49) 0 70 55 - 92 99 -13
klingler@mos-electronic.de



Frau Elke Lörcher
Buchhaltung / Einkauf
Tel: (+49) 0 70 55 - 92 99 -12
loercher@mos-electronic.de

Vertretungen:

Rainer Staub, Staub Industrievertretungen GmbH, Obere Torstraße 6, 72108 Rottenburg
Tel: (+49) 0 74 57 - 69 72 52, Fax: (+49) 0 74 57 - 32 92, Mobil: (+49) 0160 - 36 55 056
rainer@staub-gmbh.de

Karl-Friedrich Kempf, Industrievertretungen, Waldstraße 56, 77933 Lahr
Tel: (+49) 0 78 21 - 98 33 26, Fax: (+49) 0 78 21 - 98 33 27, Mobil: (+49) 0175 - 16 39 464
info@kempf-industrie.de

Jochen Summ, PS electronic Industrievertretung, Reuteweg 14, 78733 Aichhalden
Tel: (+49) 0 74 22 - 53 584, Fax: (+49) 0 74 22 - 53 585, Mobil: (+49) 0172 - 82 59 291
JochenSumm@t-online.de

Thomas Witt, 4 Advanced Technologies, Obere Eisenbahnstr. 1, 72202 Nagold
Mobil: (+49) 0160 - 94 90 9508, twitt@4advancedtechnologies.de

Hartmut Beitinger, HVB Handelsvertretung Beitinger, Mörikestrasse 5, 74254 Offenau
Tel: (+49) 0 71 36 - 96 27 880, Mobil: (+49) 0172 - 95 49 683
hartmut@beitinger.biz

A. Arnold Electronic, Vertretungs- und Vertriebs GmbH, Am Kesseborn 10, 59427 Unna
Tel: (+49) 0 23 03 - 40 397, Fax: (+49) 0 23 03 - 40 391
arnold-electronic-gmbh@t-online.de

CEE SA, SC C.E.E.S.R.L., B-dul Industriei nr. 4, 300714 Timisoara, ROMANIA
cee@mail.rdstm.ro (Kontakt über MOS)